



PEEC 추출기법을 활용하여 시험환경이 반영된 자동차용 배터리 이퀄라이저의 EMI 전도 노이즈 분석방법

이 성 하* · 정 영 석 · 김 선 근 · 강 병 규

주식회사 경신 연구본부

Analysis Method of EMI Conducted Noise for Automotive Battery Equalizer Reflecting Test Environment Using Partial Element Equivalent Circuit Extraction Technique

Seongha Lee* · Youngsuk Chung · Sunkeun Kim · Byungkyu Kang

Research Division, Kyungshin Corp., 98 Gaetbeol-ro, Yeonsu-gu, Incheon 21999, Korea

(Received 4 March 2025 / Revised 24 March 2025 / Accepted 24 March 2025)

Abstract : In this study, electromagnetic compatibility(EMC) is incorporated into the development of power control system boards at each stage, starting from the initial phases to mass production. Overlooking the EMC factors during the early stages can result in delays in manpower for debugging and disruptions to development schedules over time, thereby causing difficulties in product development. Therefore, it is essential to address EMC from the initial design phase. The proposed method introduces a simulation technique using a partial element equivalent circuit to obtain more efficient and accurate results when designing a battery equalizer, which is a power conversion device. To obtain accurate results, the relationship between the power cable and the measurement table was included, and the EMI filter, combined with the parasitic component of the PCB and the bus bar, was modeled as a partial element equivalent circuit. This method enables a faster and more accurate conduction noise analysis compared to the existing FEM and MoM. In addition, noise sources generated by major switching devices were identified through debugging analysis and compared with the experimental results. Simulation was then used to identify the factors affecting conduction noise. The simulation results from the EMI conducted noise analysis model applied to power distribution units in this study demonstrate a good correlation between the simulation results and the experimental results across all conducted emission(CE) bands.

Key words : Battery equalizer(배터리 이퀄라이저), Printed circuit board(인쇄 회로 기판), Conducted emission(전도성 방출), EMC(Electro-magnetic compatibility), Partial element equivalent circuit(부분요소 등가회로)

Nomenclature

PEEC : partial element equivalent circuit
FEM : finite element method
MoM : method of moments
TD : time domain
FD : frequency domain
CM : common mode
DM : differential mode

DUT : device under test
EMC : electromagnetic compatibility
EMI : electromagnetic interference
ESL : equivalent series inductance
ESR : equivalent serial resistance
ECU : electronic control unit
GND : ground
L : inductance

*A part of this paper was presented at the KSAE 2024 Spring Conference

*Corresponding author, E-mail: sunka@kyungshin.co.kr

*This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium provided the original work is properly cited.

- LISN : line impedance stabilization network
- PCB : printed circuit board
- PI : proportional-integral
- R : resistance
- VNA : vector network analyzers
- RBW : resolution bandwidth
- FFT : fast fourier transform

1. 서론

자동차 개발 방향이 친환경(Green), 안전성 향상(Safety), 편의성 증대(Convenience)로 나아감에 따라 시스템의 전자화가 더욱 가속화되고 있습니다. 이를 구현하기 위한 ECU의 수가 증가하고 있습니다. 따라서 한정된 차량 공간에 다수의 전자제어장치를 장착하기 위해 소형화 및 통합화가 이루어지고 있으며, 이로 인해 전자제어장치 설계 시 EMC 성능 확보가 중요한 문제로 대두되고 있다.¹⁾ EMC 노이즈 원인을 살펴보면 기본적으로 전기가 흐르면서 자연스럽게 발생하는 전자기 현상이다. 단순한 전원의 Impedance 성분때문에 노이즈가 발생하고 전기로 인한 장(長)의 그리고 그의 변화가 가장 큰 노이즈 원이다. 이러한 노이즈는 도선을 통해 직접적인 전기 성분으로 영향을 줄 수가 있고, 또는 전자기파로 변환되어 영향을 줄 수 있다.²⁾

대부분의 전자파 방해는 높은 주파수로 전달되는 각종 신호들과 전기적인 부하의 개폐 및 고속 스위칭 방식을 이용한 부하의 구동에 의하여 발생된다. 디지털 전력 제어 시스템의 경우에 전자파 방해를 일으키는 과도한 노이즈는 고속의 하드-스위칭(Hard-switching) 방식에 의해 구동되는 전력 소자의 작동과 밀접한 관련이 있다.³⁾ 이때 DC-DC 제어 방식은 컨버터의 스위칭 주파수에 의해 전자파가 발생함으로 제어기 설계시 입출력단에 필터 회로 구성 및 적절한 부품 레이아웃 배치를 통해 전자파 규격을 만족시킬 수 있다.⁴⁾

전력제어시스템의 보드 개발은 초기 단계에서 양산에 이르기까지 각각의 단계마다 전자기 적합성이 이뤄지며, 이를 초기 단계에서 고려하지 않고 진행한다면 단계가 거듭될수록 디버깅을 위한 인력 투입과 개발 일정이 지연되어 제품 개발의 어려움이 발생할 수 있으므로 초기 설계 단계에서부터 EMC를 고려하는 것은 매우 중요하다.⁵⁾ EMI 전도 노이즈를 분석하기 위해 직접 측정하는 방법이 일반적이지만, 개발 단계에서 잦은 설계 변경이 발생할 수 있다. 각 단계마다 디버깅을 위한 반복적인 작업으로 인해 설계자의 피로도와 개발 기간이 증가하며, 이는 곧 개발 비용 증가로 이어질 수 있다. 따라서, EMI 전도 노이즈를 분석하는 방법으로 고성능 컴퓨터를 기

반으로 한 시뮬레이션을 활용하는 것이 여러 장점이 있다.⁶⁾

본 연구에서는 전력변환장치의 일종인 배터리 이퀄라이저를 설계하는 데 있어 보다 효율적이고 정확한 결과를 얻기 위해 부분요소 등가회로를 이용한 시뮬레이션 기법을 제안한다. 정확한 결과를 얻기 위해 전원 케이블과 측정 테이블의 관계를 포함하였으며, PCB의 기생 성분과 버스바가 결합된 EMI 필터를 부분요소 등가회로로 모델링하여 기존의 FEM과 MoM 대비 빠르고 정확한 전도 노이즈 분석을 가능하게 하였다. 또한, 주요 스위칭 소자에서 발생하는 노이즈 소스원의 파악을 통한 디버깅 분석을 실험과 비교하였고, 시뮬레이션을 이용하여 전도 노이즈에 영향을 주는 인자들을 확인하였다.

2. 부분요소 등가회로 추출기법

2.1 EM 시뮬레이션 기술의 주요 특징

전도 노이즈 분석을 위해 Maxwell 방정식을 기반으로 대표적인 수치 해석 기법인 FEM, MoM, PEEC가 있으며 컴퓨터를 이용한 엔지니어링 기술에 활용되고 있다. 각 수치해석 기법마다 특징이 있다. FEM은 연속적인 영역을 유한개의 부분 요소로 나누고 각 요소에서의 물리적 특성을 수치상으로 근사하여 전체 영역을 해석하는 방법으로 복잡한 기하학적 구조를 다루는데 유리하지만, 3D 공간을 메시로 생성하여 복잡하고 시간이 많이 소요되고 Time domain과 Frequency domain을 분리해서 해석하는 단점이 있다. MoM 기법은 미지의 전류나 전하 분포의 모멘트를 사용하여 전자기장을 해석하는 방법으로 빠르고 효율적인 계산이 가능하나 복잡한 구조나 비선형 모델에는 적합하지 않다. Time domain과 Frequency

Table 1 Main features of the most common EM simulation techniques

Method	FEM	MoM	PEEC
Formulation	Differential	Integral	Integral
Solution variables	Field	Circuit	Circuit
Solution domain	TD or FD	TD or FD	TD and FD
Cell geometries	Nonorthogonal	Nonorthogonal	Nonorthogonal
Advantages	Cell flexibility Complex materials	Cell flexibility	Same TD/FD model combine circuit & EM
Drawbacks	To solve a large linear system	Computationally heavy	Computationally heavy

domain을 모두 해석하는 기법으로 PEEC가 있다. 전도성 및 유전체 물질을 포함한 다양한 물질의 모델링을 할 수 있으며, 전자기파의 시간 지연효과를 포함한 복잡한 문제를 분석할 수 있다.⁷⁾ Table 1은 일반적인 EM 시뮬레이션 기술의 주요 특징을 정리하였다.

2.2 부분 요소 등가회로 모델

부분 요소 등가회로 모델은 전원 케이블, PCB 그리고 버스바가 결합된 EMI 필터 등 3D 형상의 구조물을 나누어 모델을 추축하고 Spice와 같은 회로 시뮬레이터를 사용하여 분석하는 기법이다. Fig. 1은 3D 형상의 PEEC 모델을 보여준다. 본 논문에서는 3D PEEC 추출을 위하여 EMCoS Studio를 사용하였다.

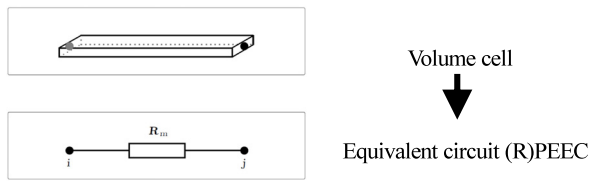


Fig. 1 (R)PEEC model for volume cell connecting node i and j

3. 전도 노이즈 부품 모델 추

3.1 능동/수동소자 고주파 모델링

EMC 문제를 해석하기 위해서는 3D EM simulation을 통한 주파수 응답 데이터와 입력신호의 주파수 응답 데이터의 곱 IFFT(Inverse Fast Fourier Transform)를 구해서 시간영역에서의 입력신호 응답을 찾아내는 방법이 있으나 이런 방법은 시간이 오래 걸린다는 단점이 있다. 이러한 문제를 해결하기 위한 방안으로 능동/수동소자를 등가회로 모델로 구현하는 것이 해석 시간의 효율성을 높일 수 있다.

Fig. 2는 47 nF의 용량을 갖는 커패시터 등가회로 모델이며 Fig. 3은 임피던스 커브를 보여준다. 커패시터 용량을 고정하고 기생성분인 ESR과 ESL 보정을 통하여 피팅(Fitting)을 한다.

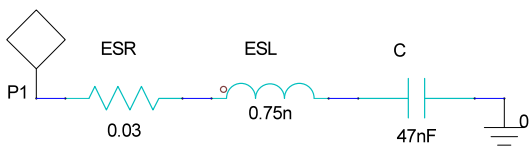


Fig. 2 Equivalent circuit model of the capacitor

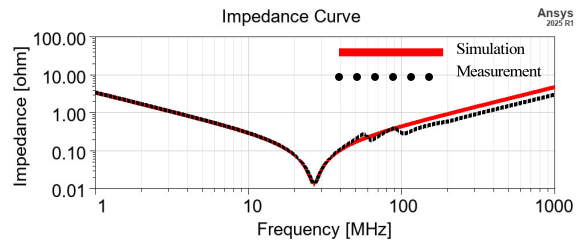


Fig. 3 Impedance curve of the capacitor

수동소자인 커패시터와 인덕터는 피팅을 통해 등가회로로 대체될 수 있다. 일반적으로 다이오드는 쇼트 시키거나 무시되기도 하지만, 다이오드 내의 정선 커패시턴스가 존재하므로 전류는 반대로 흐르지 않지만, 고주파 LC 성분은 통과할 수 있기 때문에 다이오드 또한 등가회로 모델이 필요하다.

3.2 EMI 필터를 포함한 버스바 분석 모델

Fig. 4는 EMI 필터를 포함한 버스바의 3D 모델을 보여준다. 실측 기반의 등가회로는 해석 시간 측면에서 우수하지만, 페라이트 코어와 버스바 간의 커플링값($K = C_m / (C_m + C_a)$), 여기서 C_m 은 상호 커패시턴스이고 C_a 는 자기 커패시턴스) 특성을 정확하게 반영하기 어렵다. 따라서, 해석 정확도를 향상하기 위해 3D 모델을 구축한다.

해당 버스바는 3개의 입력과 3개의 출력으로 구성되어 있으며, EMI 필터의 페라이트 초크는 CM 초크와 DM 초크로 구성되어 있다. EMCoS Studio를 사용하여 Full-3D EM 해석으로 주파수 전달 특성을 추출하고, 3D PEEC (Partial Element Equivalent Circuit) 추출 기법을 사용하여

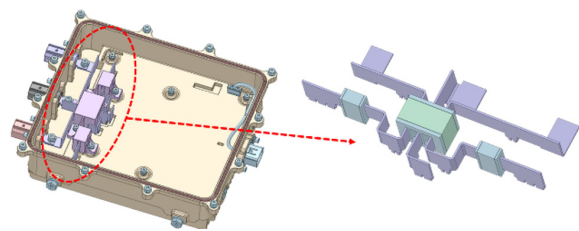


Fig. 4 3D model of the busbar combined with the EMI filter

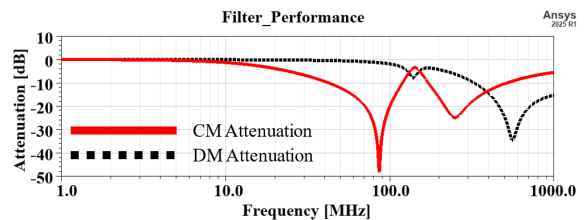


Fig. 5 S-parameter characteristics of the Busbar with the EMI filter

단일 주파수 특성을 추출하였다. Fig. 5는 EMI 필터가 결합된 버스바의 전달 특성을 보여준다.

PEEC 추출 모델에 PORT를 연결하여 등가회로로 변환함으로써 회로 해석에 반영할 수 있다. 특히, 페라이트 코어와 같은 부품은 주파수에 따라 투자율 특성이 변하므로, 특정 주파수에서 얻은 모델을 적용하는 것보다 전체 주파수 범위의 전달 특성을 반영한 모델을 사용하는 것이 더욱 정확하다.

결과를 살펴보면, 빨간색 실선은 CM(공통 모드) 특성을, 검은색 점선은 DM(차동 모드) 특성을 나타낸다. 40 mHz 부근에서 우수한 주파수 차단 특성이 확인되며, CM 모드와 DM 모드가 교차하는 70 mHz 부근이 노이즈 취약 지점으로 분석된다.

3.3 PCB 분석 모델 구축

PCB Trace의 기생성분이 반영된 PEEC 모델을 추출하기 위해서는 EMI 전도 노이즈의 주요 경로를 확인하고 이를 반영하는 것이 매우 중요하다. PCB의 모든 Trace를 전부 반영하면 해석 시간이 많이 늘어날 수 있으므로 주요 전도 노이즈에 영향을 주는 Trace를 신중하게 선정하고, 이를 해석에 반영하는 과정이 필요하다. 이렇게 함으로써 정확한 기생성분을 추출하는 데 있어서 효율적인 모델링이 가능하게 된다. 따라서, 전체 PCB를 고려하는

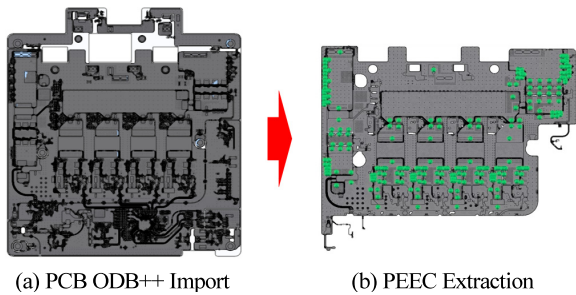


Fig. 6 Extraction of parasitic components in the Main Power PCB

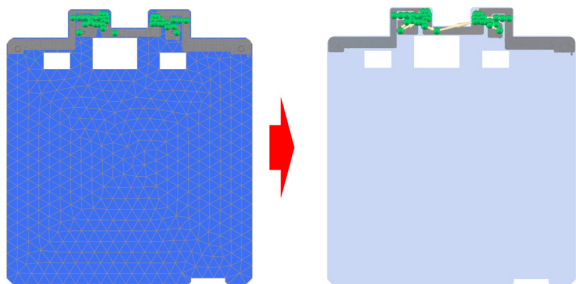


Fig. 7 PEEC extraction of the PCB dielectric with an EMI filter

대신 주요 영향을 미치는 부분에 중점을 두어 회로에 반영하면, 정확성을 유지하면서도 해석 시간을 최적화할 수 있다.

Fig. 6은 Main power부 PCB의 기생성분이 추출된 형상이며 결과물은 SPICE 모델로 생성되어 회로에 연동하여 반영된다. Fig. 7은 EMI 입력 필터가 결합된 PCB 유전체의 PEEC 추출 도식을 보여준다. Main power 부와 유전체 부분을 별도로 해석하여 회로에 각각 반영하면 해석 시간을 줄일 수 있다.

3.4 케이블 분석 모델 구축

측정 케이블의 경우, R과 L의 등가회로로 풀어서 회로에 반영할 수 있지만, 케이블과 케이블 사이의 커플링 성분과 케이블과 GND Plane이 하나의 커패시터로 작용하기 때문에 각각의 성분을 회로에 반영하는 것이 필요하다. 이러한 추가적인 성분을 고려함으로써 측정 케이블의 실제 동작을 더욱 정확하게 모델링할 수 있다. 따라서, 실제 전도 노이즈에 영향을 미치는 요인으로 GND와 DUT 간의 기생 커패시턴스 성분이 임피던스 특성에 영향을 미치며, 공통 노이즈 성분은 루프를 형성하게 된다. 이러한 요소들을 고려하여 시험 환경을 모델링하면 측정 케이블이 실제 전도 노이즈에 미치는 영향을 더욱 정확하게 분석할 수 있다. Fig. 8은 측정 환경이 반영된 케이블의 모델링이며, Fig. 9는 측정 환경이 반영된 케이블의 전달 특성을 나타낸다. GND 테이블의 영향으로 약 190 mHz 부근에서 케이블의 공진이 발생하는 것을 알 수 있다.

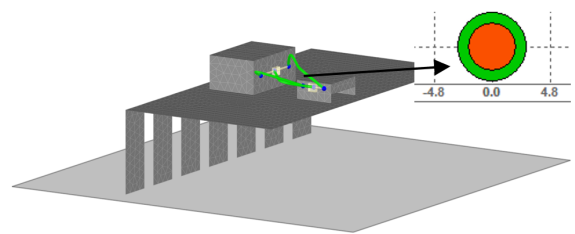


Fig. 8 Modeling of cables reflecting the measurement environment

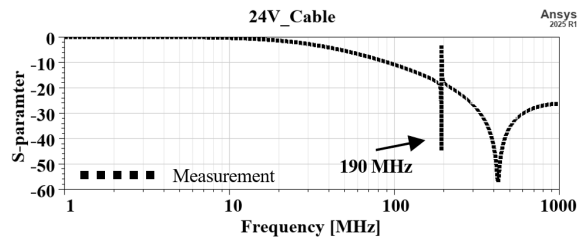


Fig. 9 Frequency characteristics of cables

4. 통합 전도 노이즈 모델 구축

4.1 LISN 회로 모델링

Line Impedance Stabilization Network(LISN)는 전파 및 전자기 호환성(EMC) 테스트 시에 사용되는 장비 중 하나이며 High pass filter로 구성되어 있어 전원 노이즈를 차단하고 DUT에서 발생하는 전도 노이즈를 커플링 커패시턴스 값을 측정한다.

Fig. 10은 Vehicle test의 대표적인 규격인 CISPR 25의 LISN의 등가회로와 주파수 특성을 보여준다.

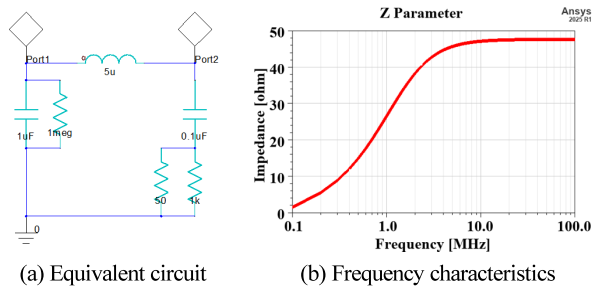


Fig. 10 CISPR 25 LISN Equivalent circuit Model

4.2 PI 제어기 회로 모델링

Fig. 11은 PI 제어기 회로도이며 Fig. 12는 PI 제어기의 출력 전압과 출력 전류를 나타낸다. 전류 제어 시스템은 총 4개의 제어기로 구성되었으며, 타겟 전류는 18 A로 Phase마다 4.5 A로 분배된다. 인덕터에 흐르는 전류와 타겟 전류 간의 오차 값을 PI 제어기에 입력하고 PI 제어기는 이 오차 값을 기반으로 Proportional(비례) 및 Integral(적분)을 수행하여 출력을 생성한다. 생성된 출력은 Duty

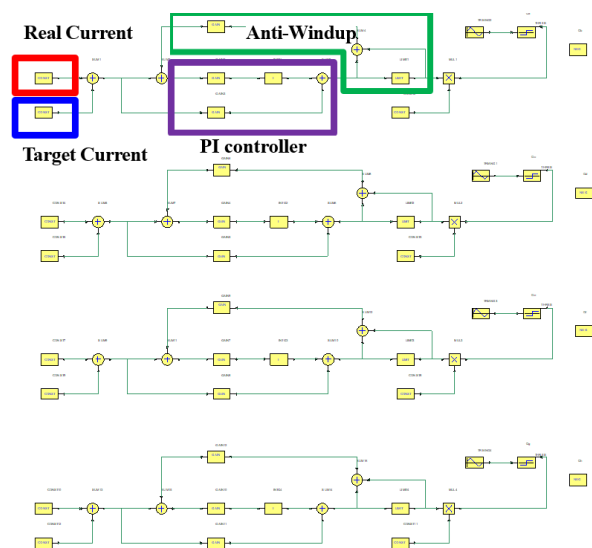


Fig. 11 PI controller circuit diagram (ANSYS Twin Builder)

block($1/V_{in}$)을 통과하고 Duty를 생성하며, 이렇게 생성된 Duty는 삼각파와 비교하여 Duty ratio만큼 스위치를 on/off 하는 방식으로 전류를 제어한다. 이러한 제어 방식을 통해 각 Phase에서 원하는 전류 레벨을 유지한다. 또한, 적분기의 포화를 방지하기 위해 Anti-windup 회로가 추가하였다.

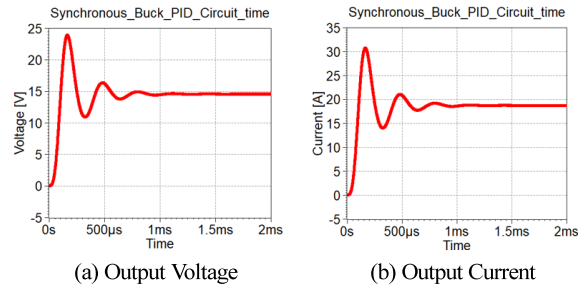


Fig. 12 Output voltage/current of PI controller

4.3 통합 전도 노이즈 회로 모델링

Fig. 13은 배터리 이퀄라이저의 시스템 도식을 나타낸다. 28 V로 입력되고, 14 V로 출력되는 시스템으로 구성되어 있다. 이 시스템에는 양쪽 단에 EMI 필터가 있으며, 4-Phase 컨버터가 포함되어 있고 이를 제어하기 위해 SMPS로 12 V 및 5 V 제어 네트워크가 구성되어 있다. Fig. 14는 ANSYS Twin Builder를 활용하여 통합 전도 노이즈 모델이다. 이 모델에서는 28 V Safety, Buck Switching, 14 V Safety 소자들은 각 제조사에서 제공하는 Spice 모델을 활용했다. 일반적으로 Spice 모델을 사용할 때는 레벨 3 이상의 모델이 아니면 기생성분이 정확하게 일치하지 않을 수 있다. 이에 따라 정확한 Ringing이 재현되지 않을 수 있지만, 기본적인 스위칭 주파수 정도는 재현할

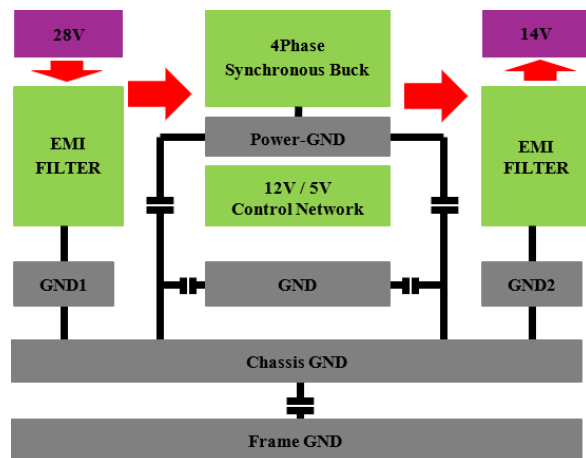


Fig. 13 Battery Equalizer system diagram

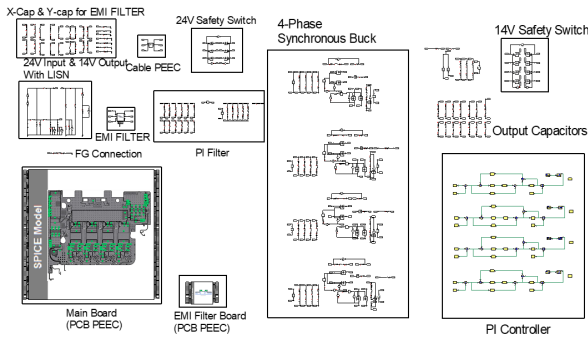


Fig. 14 Integrated Conducted Noise circuit

수 있으므로 초기에는 이러한 수준으로 진행하며, 필요한 경우에는 Spice 모델의 내부 회로를 조정하여 정확도를 높일 수 있다.

5. 노이즈 소스원 분석

5.1 스위칭 노이즈 분석

전도 노이즈가 발생하여 특정 주파수에서 스펙을 만족하지 못할 경우, 노이즈 소스를 정확히 파악하는 것이 문제 해결에 큰 도움이 된다. 노이즈 소스원을 알면 해당 소스가 발생시키는 주파수 대역을 집중적으로 개선하는 방법을 찾는 데 유리하다. 특히 전력 변환 장치에서 발생하는 스위칭 노이즈는 고주파 잡음으로, 스위칭 주파수 또는 그 고조파에서 발생하며 회로 성능에 영향을 줄 수 있다. Table 2는 배터리 이퀄라이저에서 사용되는 스위치의 스위칭 주파수들이다. Fig. 15는 PCB의 전도 노이

Table 2 The switching frequency of the switch

Main noise sources	Operating frequency
① MOSFET Switching Frequency	95 kHz
② 28 V to 12 V Buck IC Switching Frequency	340 kHz
③ 4Phase Switching Frequency: $95 \times 4 = 380$ kHz	380 kHz
MOSFET Ringing Frequency	63.4 mHz, 68.5 mHz

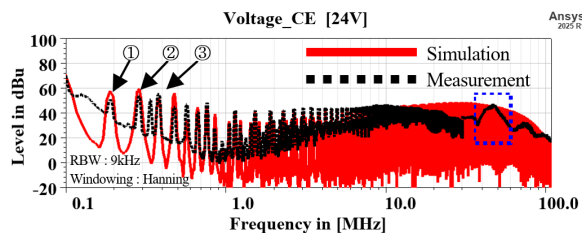


Fig. 15 Conducted Noise on PCB

스를 측정된 값과 시뮬레이션한 값을 비교한 그래프이다. 빨간색 실선은 시뮬레이션 값이고, 검은색 점선은 실측 값이다. 전반적인 스위칭 주파수는 시뮬레이션과 실측에서 동일하게 나타나는 것을 확인했다.

Fig. 16은 실제 측정과 시뮬레이션으로 구현한 MOSFET의 스위칭 주파수를 나타낸다. 고조파 성분을 분석해보면, MOSFET의 스위칭 주파수는 95 kHz이며, 그 외 고조파 성분들도 확인할 수 있다. 기본 주파수가 95 kHz이기 때문에 2배 주파수는 190 kHz, 3배 주파수는 285 kHz로, 정수배의 고조파 성분을 볼 수 있으며, 짝수배 고조파는 신호의 대칭성으로 인해 일부가 상쇄되어 레벨이 낮게 나타난다. 전력 전자 회로에서 기본 주파수의 정수배로 발생하는 고조파 성분들이 주요 노이즈 원인 중 하나가 될 수 있기 때문에, MOSFET의 스위칭 주파수를 파악하는 것이 중요하다.

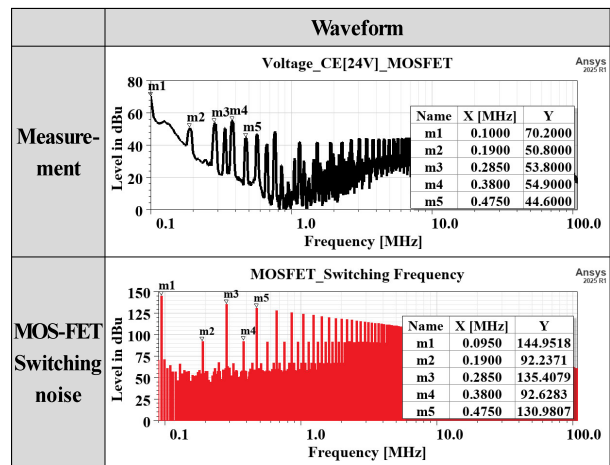


Fig. 16 MOSFET Switching Frequency: 95 kHz

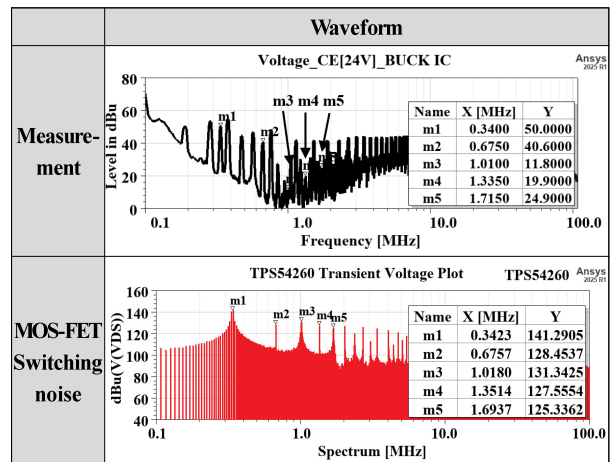


Fig. 17 28 V to 12 V Buck IC Switching Frequency

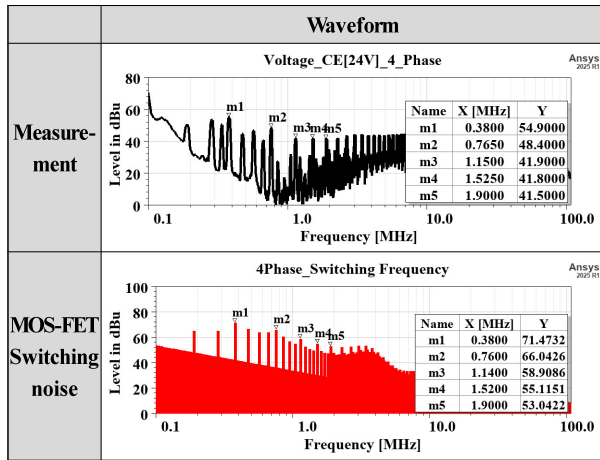


Fig. 18 4-Phase switching frequency

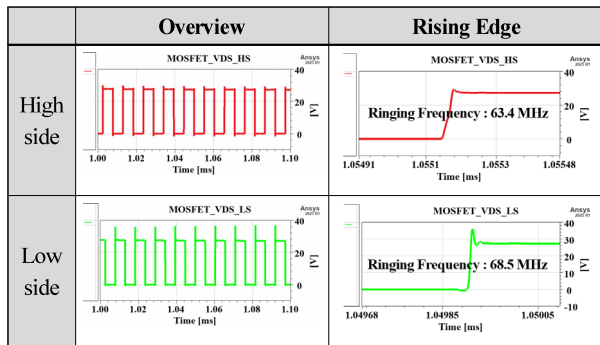


Fig. 19 MOSFET ringing frequency: 63.4 mHz and 68.5 mHz

Fig. 17과 Fig. 18은 각각 Buck IC 스위칭 주파수와 4Phase 스위칭 주파수를 나타낸다. 앞서 MOSFET스위칭 주파수와 마찬가지로 기본 주파수와 고조파 성분들을 확인할 수 있다.

Fig. 19는 MOSFET의 Ringing 주파수를 나타낸다. 왼쪽 그래프에서는 드레인-소스 전압이 시간에 따라 변화하는 파형을 볼 수 있다. 일정한 주기로 스위칭이 발생하며, 스위칭 시점(Rising Edge)에서 Ringing이 발생하는 것을 확인할 수 있고 Ringing 주파수는 High side에서 68.5 mHz, Low side에서 63.4 mHz로 나타난다.

5.2 시뮬레이션을 통한 전도 노이즈 영향 인자 확인

시뮬레이션 환경에서는 동일한 조건에서 반복적인 해석이 가능하며, 다양한 시나리오를 쉽게 검증할 수 있다. 이를 통해 전도 노이즈에 영향을 주는 인자를 확인하여 시간과 비용을 절감할 수 있다. 시뮬레이션을 통해 크게 세 가지의 영향성을 파악했으며, 다음과 같다.

- ① 스너버 회로의 전도 노이즈 영향
- ② 전원 케이블의 전도 노이즈 영향
- ③ 게이트 전원 저항 및 비드 영향

Fig. 20은 모듈 단위에서 전도 노이즈의 실측과 시뮬레이션의 비교그래프이다. 각 인자별 영향성에 따라 특정 주파수 범위에 영향을 미치는 것을 확인할 수 있다.

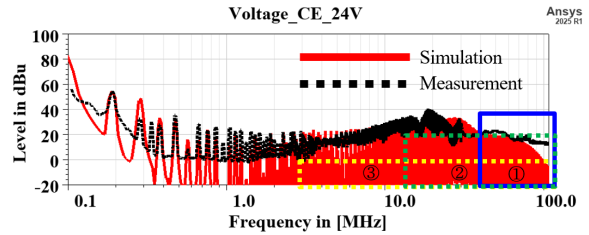


Fig. 20 Conducted noise on module

- ① Snubber Circuit: 40 ~ 108 mHz
- ② Input Cable: 10 ~ 108 mHz
- ③ Gate power resistor / Beed: 2 ~ 108 mHz

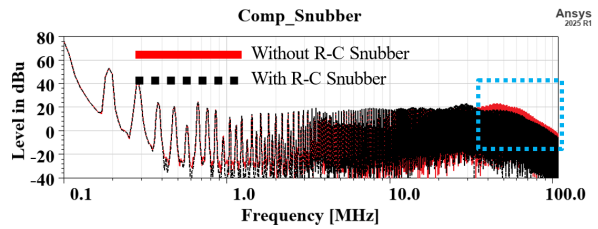


Fig. 21 Effect of conductive noise on snubber circuits

스너버 회로는 MOSFET이 스위칭 할 때, Ringing을 줄여 노이즈를 억제해주는 역할을 한다. Fig. 21은 R-C 스너버 회로의 유무에 따라 고주파 대역의 노이즈에 영향을 주는 것을 확인할 수 있다.

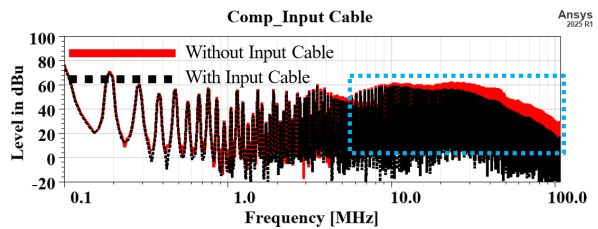


Fig. 22 Effect of conductive noise on input cable

Fig. 22는 Input cable의 유무에 따른 전도 노이즈 영향성을 보여준다. 실제 평가환경에서는 PCB의 GND와 측

정 테이블 간의 기생 커패시턴스가 발생하고 케이블과 GND 영향으로 Common mode loop 인덕턴스가 발생한다. Fig. 23은 PCB GND와 측정 테이블을 모델링하여 기생 커패시턴스 값(22.93 pF)을 계산한 것을 보여준다. 또, GND와 케이블 간의 인덕턴스 계산식 (1)으로 Common mode loop 인덕턴스(3.89e-7 H)를 계산할 수 있다.

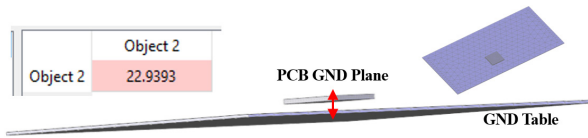


Fig. 23 PCB GND plane to ground table

$$L_{\text{wire}} \approx \frac{\mu_0 \mu_r L}{2\pi} \cosh^{-1} \left(\frac{H}{D} \right) \quad (1)$$

Where:

L_{wire} = inductance of the wire over plane (H)

μ_0 = permeability of free space = $4\pi \times 10^{-7}$

μ_r = relative permeability

D = diameter of the wire

H = height of the wire above the plane

L = length of the wire

앞서 계산된 커패시턴스와 인덕턴스를 적용하여 Fig. 24처럼 등가회로를 만들고 결과를 보면 47 mHz 부근에서 공진주파수를 확인할 수 있다. 이는 해석의 공진 주파수가 PCB 레벨에서 측정된(Fig. 15 파란색 점선 박스) 47 mHz 부근에서도 발생하는 것을 확인했다. 따라서, 전체 모듈 단위의 측정에서 해당 주파수가 전도 노이즈로 나타난다면 PCB GND와 GND 테이블의 영향으로 유추할 수 있다.

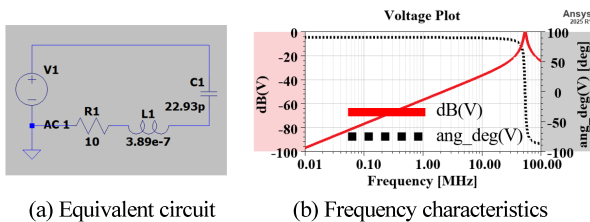


Fig. 24 Common mode Loop resonance frequency

게이트 저항은 MOSFET의 스위칭 속도를 조절하여 노이즈를 감소시키는 중요한 역할을 한다. Fig. 25는 게이트 전원 저항이 넓은 대역에 걸쳐 전도 노이즈에 미치는 영향을 보여준다. 게이트 전원의 저항 값이 높으면 스

위칭 속도가 느려질 수 있으므로, 최적의 저항 값을 찾는 것이 중요하다. 게이트 저항과 비드를 조합하여 MOSFET의 Vds와 Id 파형을 시뮬레이션을 통해 확인하고, Ringing과 오버슈트 변화를 비교하면서 최적의 값을 선택하는 것이 필요하다. 이를 통해 스위칭 속도와 노이즈 간의 균형을 맞출 수 있다.

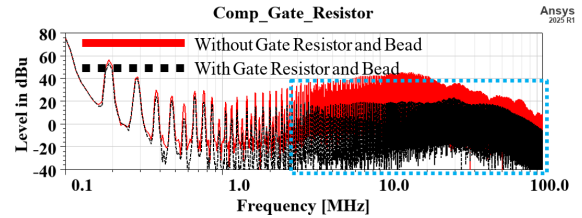


Fig. 25 Effect of conductive noise on gate power resistor / bead

6. 실험 결과와 비교 분석

6.1 정합성 향상을 위한 모델 수정

Fig. 26은 PI 제어기에서 Dead time을 추가한 회로도를 보여준다. 실측과 해석의 정합성 향상을 위해, 시뮬레이션에 적용된 PI 제어기 모델에 노이즈 감소를 위한 Dead time을 추가하였다. 또한, Fig. 27은 측정 환경과 동일하게 시뮬레이션 3D 모델이며, 이런 작업을 통해 섬세한 작업을 통해 정합성을 높일 수 있다.

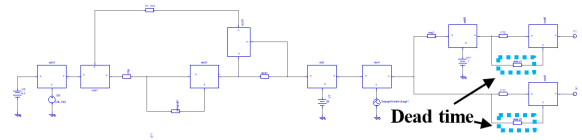


Fig. 26 Apply dead time on PI controller circuit

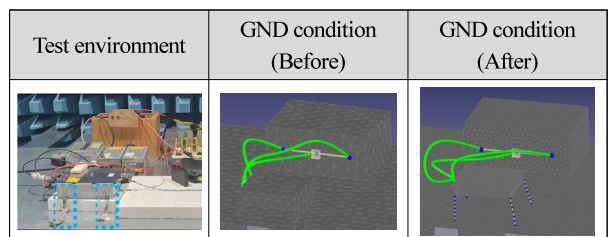


Fig. 27 Modify the simulation 3D model to match the test environment

6.2 전도 노이즈 측정

시뮬레이션과 측정의 정합성을 확인하기 위해, 실제 EMI(전자기 간섭) 전도 노이즈 시험 환경을 구축하여 측

정하였다. 이 시험 환경은 HYUNDAI-KIA 자동차의 전장품 전자파 적합성테스트 규격인 ES96202-01 기준을 적용하였으며, 측정 주파수는 100 kHz에서 108 MHz로 설정하였다. Fig. 28은 전도 노이즈 측정 환경을 보여준다.

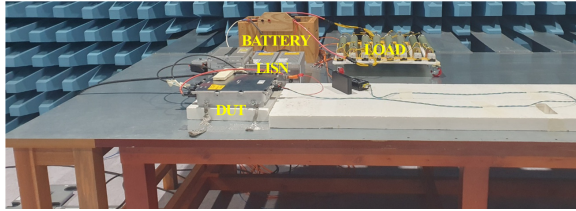


Fig. 28 EMI conducted noise measurement environment

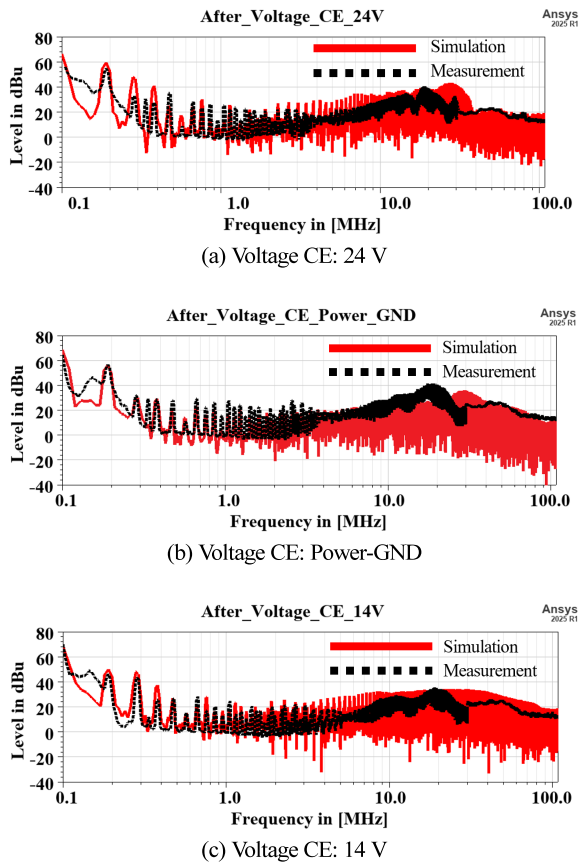


Fig. 29 Simulation and measured results of the battery equalizer

Fig. 29는 배터리 이퀄라이저를 LISN에서 측정한 시뮬레이션과 실측 결과를 보여준다. 시뮬레이션에는 실측과 동일하게 EMI 필터, PCB, 케이스, 및 GND 환경을 PEEC 모델로 적용하였다. 시뮬레이션 모델은 Time domain 기반으로 해석되었으며, 이를 통해 P상과 N상의 LISN의

50 Ω 저항을 이용하여 전압을 측정하고, 이를 Frequency domain 기반의 FFT(Fast Fourier Transform)로 변환하여 노이즈를 예측하게 된다. 이 때, FFT 연산을 수행할 때 화면에 포착된 신호의 앞과 끝의 연속성을 유지하기 위해 Window 기술을 적용하게 되는데 어떤 종류의 Window를 적용하느냐에 따라 주파수 성분 간의 왜곡이 다르게 발생할 수 있다. 시뮬레이션 조건으로 RBW(Resolution Bandwidth)를 9 kHz로 설정하고, Windowing으로는 Hanning을 적용하였다.

시뮬레이션과 실측 간의 EMI 전도 노이즈 결과가 좋은 매칭성을 보이므로, PEEC 모델 추출 기법을 활용하여 EMI 전도 노이즈를 시뮬레이션으로 확인하고, 디버깅 방안을 사전에 검토할 수 있다.

7. 결론

본 논문에서는 배터리 이퀄라이저의 EMI 전도 노이즈 분석을 위해 부분 요소 등가회로 모델링을 제안하였다. 제안된 방법은 버스바, EMI 필터, PCB 그리고 측정 환경을 PEEC로 추출하였으며, 주요 기생성분과 GND 관계를 고려하여 통합 전도 노이즈 회로에 반영하였다. 추출된 각각의 요소들을 Spice 회로 해석 시뮬레이션을 이용하여 전도 노이즈 분석을 진행하였으며, 시뮬레이션 결과와 측정 간의 높은 상관관계를 확인하였다. 이에 따라 PEEC 기법을 활용한 전도 노이즈의 디버깅 사전 분석이 가능함을 입증하였다.

노이즈 소스원 분석을 기반으로 정리하면, 1 MHz 이하의 전도 노이즈에서는 스위칭 주파수 성분이 큰 영향을 미치기 때문에 회로로 접근하는 것이 좋다. 즉, Clock noise라면 신호의 Spread spectrum(dithering) 옵션을 스위치에서 작동하도록 할 수 있으며 Pulse에 의한 주기적인 노이즈 성분이라면 Rising time을 제어하도록 입력 제어 Pulse에 직렬 저항을 추가하거나 Pulse의 Duty 비율을 조정하여 Odd harmonic 성분을 줄일 수 있다. 1 MHz가 초과하는 전도 노이즈에서는 Ringing을 제어하기 위해서 스너버 회로의 R-C 값 조정 또는 게이트 전원의 저항값 조정을 통해 10 MHz 이상의 전도 노이즈 변화를 확인할 수 있으며, 50 ~ 100 MHz 대역에서는 측정 환경(전원 케이블 & GND 테이블)의 영향이 큰 것을 확인하였다.

PEEC 추출을 이용한 분석 기법은 배터리 이퀄라이저 뿐만 아니라 전력변환장치, 전력제어장치 그리고 3D 기구물이 포함된 전자부품에서도 효과적인 전도 노이즈 분석이 가능하다. 향후 신규 개발 제어기에 본 연구를 통해 개발한 해석 기법을 적용할 예정이다.

References

- 1) S. Yun, C. Park, C. Lee, S. Kim, M. Yang, D. Kim and J. Yoo, "The Effect of EMC by Metal Cover and Noise Reduction Method," Transactions of KSAE, Vol.22, No.3, pp.143–147, 2014.
- 2) Y. Kim, "Brake ECU Design for Reducing EMC Noise," KSAE Annual Conference Proceedings, pp.1550–1556, 2012.
- 3) Y. Kim, Y. Yoon, H. Jung, J. Gohng and S. Lee, "Study of EMI Suppression Method Applied on DC Motor Driver of Power Tail Gate," Transactions of KSAE, Vol.16, No.1, pp.1–7, 2008.
- 4) C. Park, J. Kim, M. Schrod, D. Lee and Y. Kim, "A Study on the EMC Optimization of the DC-DC Controller for Exterior Lamp," KSAE Annual Conference Proceedings, pp.756–762, 2017.
- 5) H. Seo and R. Kim, "The Method for Analyzing EMI Conducted Noise in Power Conversion Devices Using Partial Element Equivalent Circuit Modeling," KIEE, Vol.72, No.7, pp.809–819, 2023.
- 6) S. Lee, "A Study on Conducted Noise Analysis of Automotive Battery Equalizer Using Partial Element Equivalent Circuit Simulation," KSAE Spring Conference Proceedings, pp.463–468, 2024.
- 7) J. Ekman and J. Delsing, "Electromagnetic Modeling Using the Partial Element Equivalent Circuit Method," Ltu Divaportal, 2025.